

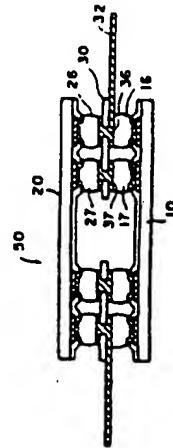
BEST AVAILABLE COPIE

[64] ELECTRONIC DEVICE

(11) 4-368167 (A) (43) 21.12.1992 (19) JP  
(21) Appl. No. 3-170485 (22) 14.6.1991  
(71) YAMAHA CORP (72) MASAYOSHI OMURA  
(51) Int. Cl. H01L25/065, H01L25/07, H01L25/18

PURPOSE: To improve easiness of manufacture and also improve mounting density in an electronic device combining IC chips such as an LSI chip.

CONSTITUTION: A plurality of IC chips 10, 20 are fixed and electrically connected by a plurality of connecting materials with the electrode forming surfaces directioned inside for the face-to-face arrangement. Moreover, electrical terminals such as leads 32 connected to at least one integrated circuit of the IC chips 10 and 20 are led to outside from the space between chips. Each connecting material is formed by protruding electrodes 16, 26 and electrode connecting portion 36. The face-to-face bonding can be done easily by previously providing the protruding electrodes 16, 17, 26, 27 in the chip side or lead side. In addition, a high density mounting can be realized by stacking and bonding a plurality of chip sets 50.



50: chip set

特開平4-368167

(43) 公開日 平成4年(1992)12月21日

Int.Cl.  
01 L 25/065  
25/07  
25/18

識別記号 廣内登録番号

F I

技術表示箇所

7220-4M

H 01 L 25/08

Z

審査請求 未請求 請求項の数 3 (全 8 頁)

出願番号

特願平3-170485

(71) 出願人 000004075

ヤマハ株式会社

静岡県浜松市中沢町10番1号

出願日 平成3年(1991)6月14日

(72) 発明者 大村 昌良

静岡県浜松市中沢町10番1号ヤマハ株式会社内

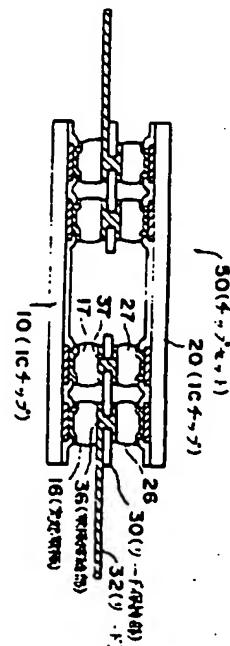
(74) 代理人 弁理士 伊沢 敏昭

## 【発明の名称】 電子装置

## 【要約】

① LSIチップ等のICチップを組合せた電子において、製造容易性を改善すると共に実装密度の高い構造。

② 複数のICチップ10, 20を電極形成面をして対向配置した状態で複数の接続体により固定された電気接続すると共に、ICチップ10及び20のうち一方の集積回路に接続されたりード32等の電子をチップ間の空間から外方に導出する。各接続突起電極16, 26及び電極接続部36等によりされる。突起電極16, 17, 26, 27等をチップ又はリード側に予め設けておくことによりフェース・フェースで簡単にポンディングを行なえる。またこのように構成されたチップセット50を複数重ねることで高密度の実装が可能になる。



## 【特許請求の範囲】

【請求項1】 (a) 一方の主面に第1の集積回路及びこの回路の複数の電極が形成された第1の集積回路チップと、(b) この第1の集積回路チップの一方の主面に対向し且つ接近して配置される第2の集積回路チップであって、前記第1の集積回路チップの一方の主面と対面する一方の主面には第2の集積回路が形成され且つこの回路の複数の電極が前記第1の集積回路の複数の電極に対応して形成されているものと、(c) 前記第1及び第2の集積回路チップを前記対向し且つ接近した配置状態に固定すると共に両集積回路チップの対応する電極同士をそれぞれ電気的に接続するように両集積回路チップ間に介在配置された複数の接続体と、(d) 前記第1及び第2の集積回路チップの間で前記第1及び第2の集積回路のうち少なくとも一方のものに電気的に接続され、両集積回路チップの間から外方に導出された複数の電気端子とをそなえた電子装置。

【請求項2】 (a) 一方の主面に第1の集積回路及びこの回路の複数の電極が形成された第1の集積回路チップと、(b) この第1の集積回路チップの一方の主面に対向し且つ接近して配置される第2の集積回路チップであって、前記第1の集積回路チップの一方の主面と対面する一方の主面には第2の集積回路が形成され且つこの回路の複数の電極が前記第1の集積回路の複数の電極に対応して形成されているものと、(c) 前記第1及び第2の集積回路チップを前記対向し且つ接近した配置状態に固定すると共に両集積回路チップの対応する電極同士をそれぞれ電気的に接続するように両集積回路チップ間に介在配置された複数の接続体と、(d) 前記第1及び第2の集積回路チップの間で前記第1及び第2の集積回路のうち少なくとも一方のものに電気的に接続され、両集積回路チップの間から外方に導出された複数の電気端子と、(e) 前記第1及び第2の集積回路チップの間で前記第1及び第2の集積回路の各一部又は全部を気密封止するように両集積回路チップの間に介在配置された封止体とをそなえた電子装置。

【請求項3】 (a) 一方の主面に第1の集積回路及びこの回路の複数の電極が形成された第1の集積回路チップと、(b) この第1の集積回路チップの一方の主面に対向し且つ接近して配置される第2の集積回路チップであって、前記第1の集積回路チップの一方の主面と対面する一方の主面には第2の集積回路が形成され且つこの回路の複数の電極が前記第1の集積回路の複数の電極に対応して形成されているものと、(c) 前記第1及び第2の集積回路チップを前記対向し且つ接近した配置状態に固定すると共に両集積回路チップの対応する電極同士をそれぞれ電気的に接続するように両集積回路チップ間に介在配置された複数の接続体と、(d) 前記第1及び第2の集積回路チップの間で前記第1及び第2の集積回路のうち少なくとも一方のものに電気的に接続され、両集

積回路チップの間から外方に導出された複数の電気端子とを有するチップセットを複数個そなえ、これらチップセットを前記電極が形成された主面とは反対側にて重ね合せ且つ接着したことを特徴とする電子装置。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】この発明は、LSIチップの複数のIC(集積回路)チップを組合せた電子装置し、複数のICチップを電極形成面を内側にして接合した状態で突起電極等の複数の接続体により回路つ電気接続したことにより製造容易性を改善するの実苦密度の向上を図ったものである。

## 【0002】

【従来の技術】従来、ICチップを組合せた電子装置としては、図15～16に示すようにリードフレームチップ保持部1Aの一主面及び他主面にICチップ3をそれぞれ裏面にて固定すると共にICチップ3の電極をポンディングワイヤ4及び5により接続されリード1a及び1bに接続し、樹脂体6によりリード2、3、チップ保持部1A、ポンディングワイヤ4、5及びリード1a、1bのチップ近傍部分をモールド封止したものが知られている(例えば実開平2-248号公報参照)。

【0003】また、別の従来装置としては、図15～16に示すようにリード1a、1bから分岐した上下のチップ保持部1A、1Bに図15～16で述べたと同様にチップ2A及び3Aと2B及び3Bとをそれぞれ固定と共にこれらのチップをポンディングワイヤ4A及び4B及び5Bとによりリード1a、1bにそれ接続し、樹脂体6によりICチップ2A、3A、2B、チップ保持部1A、1B、ポンディングワイヤ4A、5A、4B、5B及びリード1a、1bのチップ近傍部分をモールド封止したものが知られている(同報参照)。

## 【0004】

【発明が解決しようとする課題】図15～16の構成によると、2チップを重ねて結合したことで実装の向上が可能であるが、製造が容易でないという点がある。すなわち、ICチップ2及び3はいずれも形成面を外側に向けた状態でチップ保持部1Aに取られるため、電極形成面やポンディングワイヤを用いるよう特別の注意を払って取扱う必要があり、一方のICチップ2についてワイヤポンディングを行なうときはICチップ2の電極形成面やポンディングワイヤを傷つけないよう保護するのが容易でない。

【0005】また、図17の装置によると、図15～16の装置と同様の問題点がある他、組立作業に複数性を良くするためにチップ保持部1A及び1Bの幅を広くとる必要があり、外形が大型化する不都合が



図には、多数の電極接続部36、37、38a、38bが設けられており、各電極接続部は、図5に示すようにキャリアテープ31の一方の正面から他方の正面に貫通するように形成されている。

【0019】電極接続部36は、チップ間接続兼外部専用のものであり、それぞれリード32に接続されている。電極接続部37は、チップ間接続専用のもの、電極接続部38a、38bは、前述のダミー電極18a、18bとそれぞれ接続されるものである。電極接続部38a、38bについては、チップ間接続が不要であるため、キャリアテープ31の両正面間に貫通した形にせず、各正面毎に独立の接続部を形成してもよい。なお、電極接続部37、38a、38bは場合によっては省略してもよい。

【0020】リード32及び各電極接続部は、例えばCu等の金属からなり、その表面には金、スズ等がメッキされている。これは、突起電極とのぬれ性を良くするために、酸化されやすい銅の表面を保護するためである。

【0021】キャリアテープ31には、中央孔33の他に、リード穿孔34a～34d及び送り孔35A、35Bが設けられている。中央孔33は、キャリアテープ31の湾曲時にチップ面に当る部分をなくすためのもので、チップ面に当るおそれがないときは省略してもよい。リード穿孔34a～34dは、リード32の切断及び折り曲げを容易にするためのもの、送り孔35A、35Bは、キャリアテープ31を巻取ったり、チップポンディング時に位置決めに用いたりするものである。

【0022】リード保持部30は、キャリアテープ31を切断線39に沿って切断することにより同テープから分離される。通常は、このような分離作業に先立ってICチップ10、20をリード保持部30にポンディングする。

【0023】チップポンディングにあたっては、図1に示すようにICチップ10及び20をリード保持部30に対してフェース・トウ・フェースにて加熱・圧着する。キャリアテープ31をポリイミド等の耐熱性ある樹脂で形成しておけば、300～350℃まで変質せず使用できるため、加熱を十分に行なうことができ、突起電極をハンダで形成しても容易に溶融・接着を行なえる。なお、ICチップ10及び20の接着は、同時でもよいし、別々でもよい。

【0024】チップポンディングの後、キャリアテープ31からリード保持部30を切断・分離すると、図1に示すようなチップセット50が得られる。このようなチップセット50では、ICチップ10及び20の集積回路が並列接続されることになるが、各チップ毎に独立に集積回路を動作させるためには、次の(イ)又は(ロ)のいずれかの方法を採用することができる。

【0025】(イ) ICチップ10又は20において少なくとも1つのリードに対する電気接続を切断又は非接続状態としておくことにより各チップを異なるリードにて動作させる。

【0026】(ロ) ICチップ10及び20のうちとも一方のものに特別な信号に応答して該一方のリードを動作可能とする回路を予め基板化しておく。

【0027】図6は、チップセット50の取付構造例を示すものである。ICチップ10、20及びリード保持部30を含むチップセット50は、電気端子との多数のリード32が四方に導出されている。配線層(又はパッケージ基板)40の一面上には、リード32に対応して多数の配線層42が設けられると共に各層毎にポンディングパッドとしての電極層44が設けられている。各リード32は、対応する配線層42の44に熱圧着等により接続される。

【0028】チップセット50上には他のチップを重ねて配置し、そのリードを基板40上の配線層42に対応して多段の配線層42が設けられると共に各層毎にポンディングパッドとしての電極層44が設けられている。各リード32は、対応する配線層42の44に熱圧着等により接続される。

【0029】チップセット50上には他のチップを重ねて配置し、そのリードを基板40上の配線層42に対応して多段の配線層42が設けられると共に各層毎にポンディングパッドとしての電極層44が設けられている。各リード32は、対応する配線層42の44に熱圧着等により接続される。

【0030】バッケージ基板60には、中央部を除いて、例えば3段階的に複数のピン64A、64B、64Cが設けられており、2及び3段目のピン64B、64Cは基板60上で絶縁枠62B、62Cをそれぞれ通して各々の枠の上部に現れるように配置される。

【0031】基板60の中央部には、図1に示した例では3つのチップセット50A、50B、50Cが重ねて配置される。チップセット50Aは下面におかれ基板60の表面に接着材層66aにより接着されると共に各リード52Aが1段目の対応するピン64Aの溝部に接続される。チップセット50Bは下面及び上面においてチップセット50Aの上面及びチップセット50Cの下面にそれぞれ接着材層66b、66cにより接着されると共に各リード52Bが2段目の対応するピン64Bの内方端部に接続される。チップセット50Cは3段目の対応するピン64Cの内方端部に接続される。

【0032】基板60上には、チップセット50A、50B、50C、ピン64A～64C、絶縁枠62B、62Cが覆うようにキャップ68が配置される。キャップ68は下端部を接着材層66dにより基板上面に固定され、によりキャップ内の物体が気密封止される。接着材層66a～66dとしては、樹脂、ハンダ、インサート等のうち任意のものを用いることができる。

【0033】上記実施例において、リード保持部30

3としておくことにより各チップを異なるリードによって接続する。キャリアテープ31から分断した部材を用いる作させる。

【0026】(口) ICチップ10及び20のうちともできる。

一方のものに特別な信号に応答して該一方の回路を構成する。図8は、この発明の他の実施例によるチップ可能とする回路を示すものである。図8は、このチップセットの特徴を示すものである。ICチップ10、20及びリード部をリード保持部の代りに用いるようにしたことと、第2にICチップ間に封止体を配置するように(リード32が四方に導出されている。配線)である。

【パッケージ基板】40の一主面には、リード35】チップセット100は、メタルシール部91Aとして多数の配線層42が設けられると共に各配線層92、突起電極94、95、104、105ポンディングパッドとしての電極層44が封止用突起部96、106、電極接続部101、102ある。各リード32は、対応する配線層42の突起接続部103等を有する配線保持部90と、熱圧着等により接続される。チップ70、80とそなえている。

【0028】チップセット50上には他のチップセ<sup>36</sup>ト70は、図9に一例を示すよう配置し、そのリードを基板40上の配線層体基板70Aの一方の主面に所望の集積回路71もよい。また、チップセット50の上下の面の回路を取囲む封止用金属部76と、回路71のシンクを接触して配置することもでき、この接続された多数の電極(ポンディングパッド)7ば発熱量の多い集積回路にも十分に対処する形態を形成したものである。各電極75は、チップ間接る。

【0029】図7は、チップセットを収納したパッケージ76は、互いに同様の構造を有するもので、図9の一例として複数のチップセットをPGA<sup>37</sup>べた下地電極と同様にして図10に示すように形ドアレイ)パッケージに収納した構成を示す。すなわち、基板70Aの表面を覆う絶縁膜71にA1又はA1合金等の第1の金属層73と、接

【0030】パッケージ基板60には、中央部に保有する保護絶縁膜74と、金属層73及び突起電極例えば3段階的に複数のピン64A、64B、64Cのいずれとも密着性の良い第2の金属層75A設けられており、2及び3段目のピン64B次に形成することによりいずれも金属層73、75A基板60上で絶縁枠62B、62Cをそれぞれ積層した構成の電極75及び封止用金属部76が各々の枠の上部に現われるように配置され得られる。

【0031】基板60の中央部には、図1に示した様に構成されるもので、一方の主面には図9の76及び3つのチップセット50A、50B、50C、76にそれぞれ対応して集積回路、多数の電極置される。チップセット50Aは下面におよび封止用金属部が形成されている。

【0032】基板60の表面に接着材層66aにより接着される。【0033】配線保持部90は、図11～12に一例を示す。ド52Aが1段目の対応するピン64Aのように柔軟性のあるキャリアテープ91を用いて製造接続される。チップセット50Bは下面及び裏面。キャリアテープ91は、ポリイミド、ペーパーでチップセット50Aの上面及びチップセ<sup>38</sup>ト、エポキシ等の樹脂からなり、一層形式又は多層下面にそれぞれ接着材層66b、66cによ<sup>39</sup>る多数の配線層92が形成されている。配線層92と共に各リード52Bが2段目の対応する銀金属をメッキ法、蒸着法等で被覆した後ホトリウム内方端部に接続される。チップセット50Cは3段目の対応するピン64Cの内側をスクリーン印刷する方法等により形成される。

【0034】92の材料としては、テープ91の彎曲や折り曲げ<sup>40</sup>できるようある程度の柔軟性や延性を有するも<sup>41</sup>の銀64A～64C、絶縁枠62B、62C又はA1、Cuあるいはこれらの合金、Au、Ti等にキャップ68が配置される。キャップ68を用いる。

【0035】接着材層66dにより基板上面に固定する。【0036】各配線層92の両端部には、密着性を増すチャップ内の物体が気密封止される。なお、93を介して(又は介さずに)突起電極94、95、96～66dとしては、樹脂、ハンダ、ペースト等の接着材層116a、116bを用いることができる。【0037】104、105が形成される。突起電極94、95、104、105が形成される。突起電極94、95、104、105が形成される。

【0038】上記実施例において、リード保持部30は、故障診断に使用されたり、回路基板等に接続

されたりするものであり、突起電極95、105はICチップ80、70とそれぞれ接続されるものである。突起電極94と95及び104と105は、それぞれ電極接続部101及び102により相互接続される。突起電極94、95、104、105は、ハンダ法、メッキ法等により形成されるもので、例えば300～350℃以下で溶融スズは軟化する金属からなる。

【0040】メタルシール部91Aは、高温で樹脂からガスが排出されるのを防ぐためのもので、配線層92と同様の材料で同様にして形成される。メタルシール用金属層91aには、密封性を上げるために他の金属を蒸着又はメッキしてもよい。メタルシール部91Aの外周に相当する突起連続部103は、101等の電極接続部と共通のプロセスで形成される。また、突起連続部103の両側には、封止用突起部96、106が104等の突起電極と共通のプロセスで形成される。このようにメタルシール部91A、突起連続部103、封止用突起部96、106を配線層92、電極接続部101、突起電極94とそれぞれ共通のプロセスで形成すると、工程が簡単となる利点が得られるが、別プロセスで形成することも可能である。

【0041】ICチップ70及び80は、リード保持部30について前述したと同様に配線保持部90に対して図8に示すようにポンディングされる。このとき、封止用突起部96、106がICチップ70、80の76等の封止用金属層に固定されるので、これらのチップの71等の集積回路は、チップ70、80、メタルシール部91A、突起部96、106等により気密封止される。このように構成されたチップセット100は、パッケージ等の封止器を省略するか又は簡素化することができる。

【0042】チップポンディングの後、図11に示す切断線97に沿ってキャリアテープ91を切断することにより同テープからICチップ70、80を有する配線保持部90(すなわち図8のチップセット100)を分離する。

【0043】図13は、回路基板へのチップセットの取付構造の一例を示すものである。回路基板110の一方の主面には、多数n個のチップセット取付部112(1)～112(n)が並設されると共に、CPU(中央処理ユニット)等のICチップ114が設けられている。図8に示したようなICチップ100(1)～100(n)は、100(1)について代表的に示すように突起電極94、104側の端縁にてチップセット取付部112(1)～112(n)にそれぞれ直立状に取付けられる。

【0044】チップセット100(1)～100(n)は、取付けの前又は後に重ね合わされた状態で樹脂、低融点ハンダ、ペースト等の接着材層116a、116bにより接着される。この結果、高密度の実装が可

能となる。

【0045】一例として、チップセット100(1)～100(n)を半導体メモリのチップセットとすれば、小型で大容量の記憶装置を実現することができる。この場合、各チップの基板への配線長が短いため配線による信号遅延が少なく、高速動作が可能である。従って、かような記憶装置は、CPUのメインメモリ等として用いるに好適なものである。

【0046】図14は、この発明の更に他の実施例によるチップセット50aを示すものである。図14において、図1と同様な部分には、同様の符号を付して詳細な説明を省略する。

【0047】チップセット50aの特徴は、第1にICチップ10、20の突起電極17、27を直結したことであり、第2に外部への電極導出を一方のチップ10の突起電極16からリード32により行なうようにしたことである。この場合、突起電極16は、外部導出専用となり、突起電極17、27は、チップ間接続専用となる。また、リード32は、図15に示したようなリードフレーム又は中央部に孔を設けたキャリアテープを用いるなどして容易に形成可能である。

【0048】チップセット50aにあっては、図8～12に示した封止構造を採用することもできるが、別の方として、ICチップ10及び20の間に樹脂等を注入し、硬化させるなどして封止用絶縁体120を介在配置してもよい。

#### 【0049】

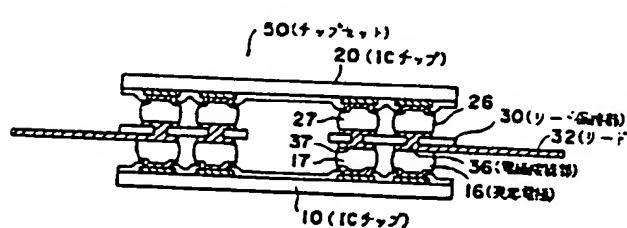
【発明の効果】以上のように、この発明によれば、第1及び第2の集積回路チップを対向・接近させた状態で複数の接続体により固定し且つ電気接続するようにしたので、製造容易で実装密度の高い電子装置を実現可能となる効果が得られるものである。

【0050】また、第1及び第2の集積回路チップの間に封止体を介在配置すると、パッケージを用いなくても信頼性の向上が可能となる効果が得られる。

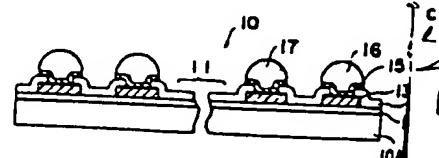
【0051】さらに、複数のチップセットを電極形成面と反対側の面で重ね合せ且つ接着すると、実装密度が大幅に向上する効果も得られる。

#### 【図面の簡単な説明】

【図1】



【図3】



この発明の一実施例によるチップセットである。

図1の構成におけるICチップの斜視図

図2のA-A'線に沿う断面図である。

図1の構成に用いるキャリアアーテープの斜視図

図4のB-B'線に沿う断面図である。

図1のチップセットを配線基板に取付けた状態を示す断面図である。

図1のチップセットを複数組合せてパッケージした状態を示す断面図である。

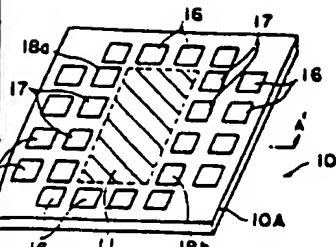
この発明の他の実施例によるチップセットである。

図8の構成におけるICチップの斜視図

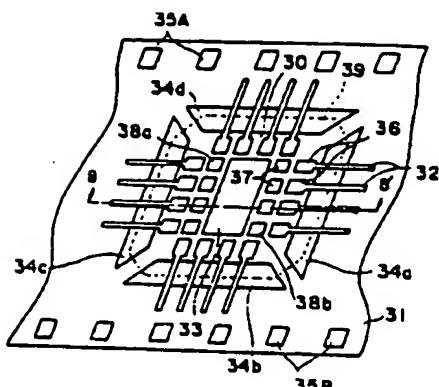
図9のC-C'線に沿う断面図である。

図8の構成に用いるキャリアアーテープの斜視図

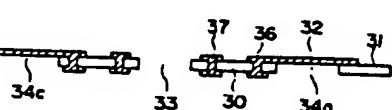
【図2】



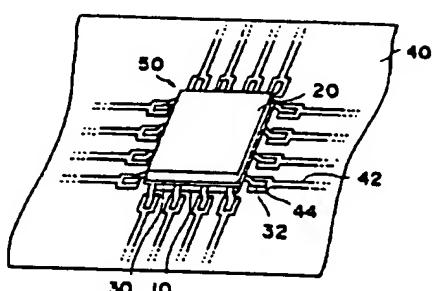
【図4】



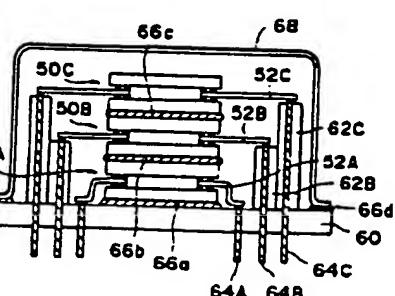
【図5】



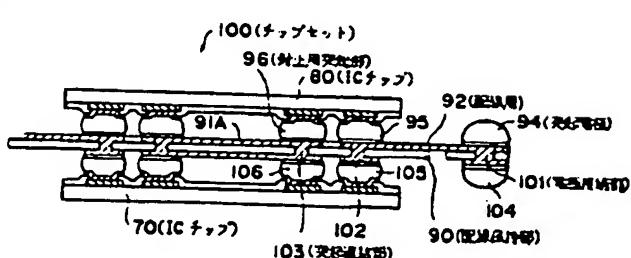
【図6】



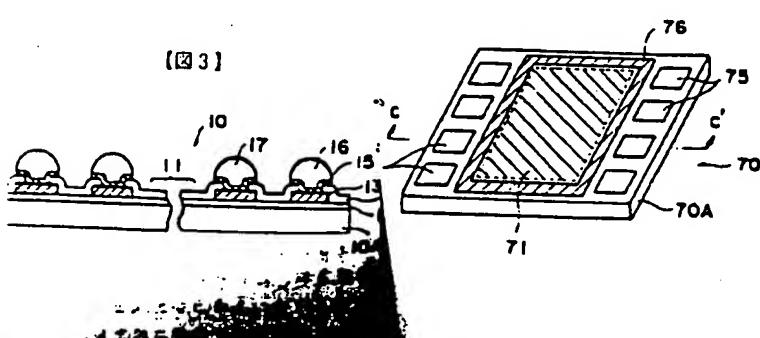
【図7】



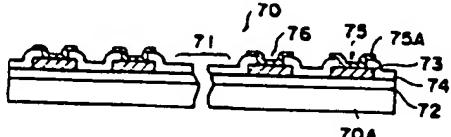
【図8】



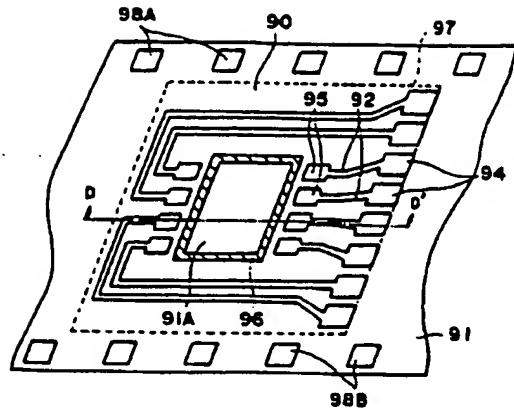
【図9】



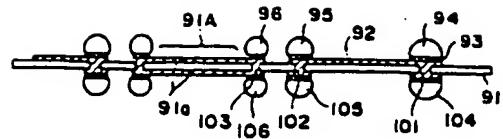
【図10】



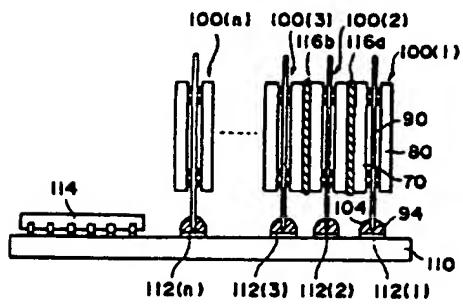
【図11】



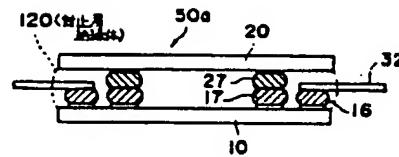
【図12】



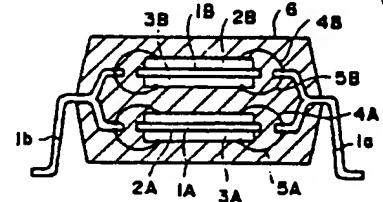
【図13】



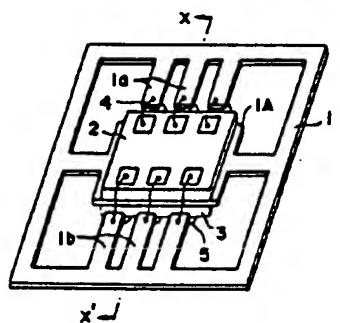
【図14】



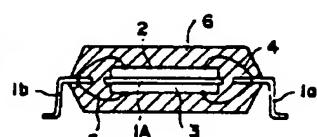
【図17】



【図15】



【図16】



**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- BLACK BORDERS**
- IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- FADED TEXT OR DRAWING**
- BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- SKEWED/SLANTED IMAGES**
- COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- GRAY SCALE DOCUMENTS**
- LINES OR MARKS ON ORIGINAL DOCUMENT**
- REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- OTHER:** \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**